

(19) 대한민국특허청(KR)
(12) 등록실용신안공보(Y1)

(51) Int. Cl. ⁷ H02H 9/00		(45) 공고일자 2000년04월 15일	
		(11) 등록번호 20-0176401	
		(24) 등록일자 2000년01월 17일	
(21) 출원번호 (22) 출원일자	20-1995-0004038 1995년03월09일	(65) 공개번호 (43) 공개일자	실 1996-0032879 1996년 10월 24일
(73) 실용신안권자 (72) 고안자 (74) 대리인	삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416 이완 경기도 성남시 분당구 내정동 파크타운 118-104 김용식, 이영필, 윤창일		

심사관 : 정성태

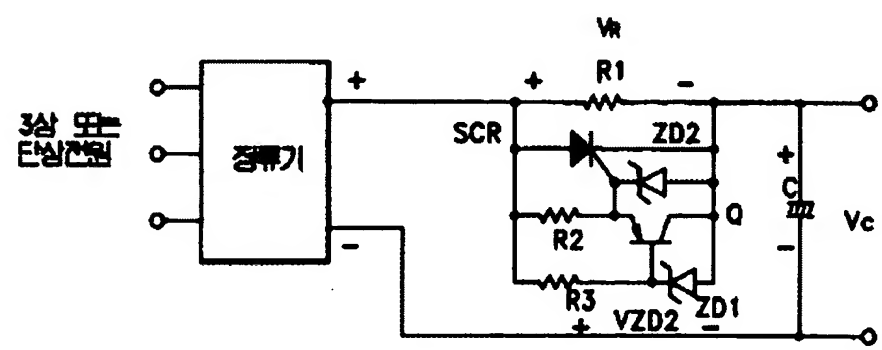
(54) 캐패시터 돌입 전류방지 회로

요약

본 고안은 대용량 캐패시터의 돌입전류 방지회로에 관한 것으로, 상세하게는 인버터 등의 직류 전원에 사용되는 대용량의 캐패시터에 전원 스위치를 온하는 경우 순간적으로 흐르는 많은 돌입 전류를 방지하는 캐패시터 돌입전류 방지 회로에 관한 것이다.

즉, 본 고안에 따른 캐패시터 돌입전류 방지 회로는 부피가 큰 릴레이, 지연 타이머 및 전압 검출기 등을 사용하는 대신에 TR, IGBT, SCR 등의 반도체 소자를 이용하여 저항기 전압 또는 캐패시터 전압에 의해 자동으로 캐패시터 돌입 전류가 제어되게 하는 회로를 구성함으로써, 부피가 작고, 수명이 길며, 회로가 간단한 동시에 생산 경비가 절감되는 효과가 있다.

대표도



명세서

[고안의 명칭]

캐패시터 돌입 전류 방지 회로

[도면의 간단한 설명]

제1도는 종래의 캐패시터 돌입 전류 방지 회로의 회로도이고,
제2도는 종래의 또 다른 캐패시터 돌입 전류 방지 회로의 회로도이고,
제3도는 제2도의 회로의 C,R 양단의 전압 표시 도면이고,
제4도는 제3도에서 저항기 양단의 전압 변화를 나타내는 그래프이고,
제5도는 제3도에서 캐패시터 양단의 전압 변화를 나타내는 그래프이고,
제6도는 본 고안에 따른 제1의 캐패시터 돌입 전류 방지 회로의 회로도이고,
제7도는 본 고안에 따른 제2의 캐패시터 돌입 전류 방지 회로의 회로도이고,
제8도는 본 고안에 따른 제3의 캐패시터 돌입 전류 방지 회로의 회로도이고,

이하 도면을 참조하면서 본 고안에 따른 캐패시터 돌입전류 방지회로를 설명한다.

본 고안의 캐패시터 돌입전류 방지 회로의 실시예는, 제3도에 도시된 바와 같이, 저항기 R1 양단에 걸리는 전압 V_R 을 이용한 것과 캐패시터 C 양단에 걸리는 전압 V_C 를 이용한 것으로 크게 두 가지 방식으로 나누어진다.

제6도, 제7도 및 제8도의 실시예의 캐패시터 돌입 전류 방지 회로는 V_R 을 이용한 것이고, 제9도, 제10도 및 제11도의 실시예의 캐패시터 돌입 전류 방지 회로는 V_C 를 이용한 것이다.

먼저, 저항기 양단에 걸리는 전압 V_R 을 이용한 것에 대하여 제6도 내지 제8도를 참조하면서 설명한다. 이 방식은 제4도에 도시된 바와 같이, 정류기에 전원을 턴온(turn-on)시켰을 때 초기에 저항기에 걸리는 최대 전압의 10% 까지 V_R 전압이 떨어질 때 저항기를 단락시키는 것을 특징으로 한다.

제6도는 본 고안에 따른 캐패시터 돌입 전류 방지 회로의 제1실시예의 회로도이다. 이 캐패시터 돌입전류 방지회로에서는 저항기(R1)를 사용하여 전원 인가시의 캐패시터에 흐르는 돌입전류를 방지한 다음 상기 저항기(R1)를 단락시키기 위하여 제1스위칭 소자로서 SCR을 사용한다. 이 SCR의 애노드와 게이트 사이에는 제2저항기 R2를 병렬 접속하고, 게이트와 캐소드 사이에는 제2스위칭 소자로서 바이폴라 트랜지스터를 병렬로 접속한다. 이때 바이폴라 트랜지스터의 에미터는 SCR의 게이트에 그리고 컬렉터는 SCR의 캐소드에 접속되며, 제2정전압 소자인 제너 다이오드를 병렬로 추가 접속하여 SCR의 게이트를 과전압으로부터 보호한다. 그리고 제2스위칭 소자인 바이폴라 트랜지스터의 베이스와 SCR의 애노드 사이에 제3저항기를 접속하여 상기 제2스위칭 소자의 베이스와 컬렉터 사이에 병렬 접속되는 제1정전압 소자인 제너 다이오드와 함께 제1저항기 양단 전압 V_R 의 분압에 의해 제2스위칭 소자에 바이어스 전압을 걸어줄 수 있도록 한다.

이와 같이 구성된 캐패시터 돌입전류 방지회로는 다음과 같이 동작한다.

전원 스위치가 온되면 단상 또는 3상의 전원 전압이 정류기에서 정류되어 대용량의 평활 캐패시터(C)에 인가될 경우 그 초기에는 많은 돌입전류가 흐르게 되는데, 이 초기 돌입전류는 제1저항기(R1)에 의해 억제되며 V_R 의 최대 전압을 발생시킨다. 이 발생 전압은 제3저항기 R3 및 제1제너 다이오드에 의해 분압되며, 이 분압된 전압중 제3저항기 R3에 걸리는 전압은 제2스위칭 소자Q를 턴온시켜 제1스위칭 소자인 SCR의 게이트에 충분한 트리거 전압을 공급하지 못하게 된다. 즉 이때의 Q는 포화 상태가 되므로 에미터와 컬렉터 간의 포화전압 예를들어 약0.3V만이 SCR의 게이트에 인가된다. 따라서 SCR은 차단되므로 초기 돌입 전류는 제1저항기 R1을 통하여 흐르게 되므로 초기 전류는 억제된다.

초기 돌입전류가 점점 감소되면서 제1제너 다이오드의 정전압 V_{Z0} 이하로 감소되면 제2스위칭 소자는 오프되므로 SCR의 게이트에는 충분한 트리거 전압이 인가되어 SCR은 단락된다. 따라서 제1저항기를 통하여 흐르던 전류는 이 SCR을 통하여 캐패시터에 직접 전류가 통하도록 한다.

여기서 제1정전압 소자의 정전압 V_{Z0} 을 제1저항기 전압 V_R 의 최대 전압의 10% 정도로 정하여 두면, 최대 V_R 값의 10% 정도로 전압이 떨어졌을 때 제1저항기가 단락된다.

제7도는 본 고안에 따른 캐패시터 돌입 전류 방지 회로의 제2실시예의 회로도이다. 이 제2실시예는 제6도의 제1실시예에서 제1스위칭 소자로서 사용되는 SCR을 IGBT(insulated gate bipolar transistor)로 교체한 점만 다를 뿐 모든 동작은 제1실시예와 같다.

제8도는 본 고안에 따른 캐패시터 돌입 전류 방지 회로의 제3실시예의 회로도이다. 이 제3실시예는 제6도의 제1실시예에서 제1스위칭 소자로서 사용되는 SCR을 바이폴라 트랜지스터(bipolar transistor)로 교체한 점만 다를 뿐 모든 동작은 제1실시예와 같다. 단, 여기서는 제2정전압 소자를 사용할 필요가 없게 된다(B-E 간의 순방향 다이오드의 역할 때문).

다음에 캐패시터 양단에 걸리는 전압 V_C 를 이용한 것에 대하여 제9도 내지 제12도를 참조하면서 설명한다. 이 방식은 제5도에 도시된 바와 같이, 정류기에 전원을 턴온시켰을 때 캐패시터에 걸리는 최대 전압의 90% 까지 V_C 전압이 상승하였을 때 저항기를 단락시키는 것을 특징으로 한다.

제9도는 본 고안에 따른 캐패시터 돌입 전류 방지 회로의 제4실시예의 회로도이다. 이 캐패시터 돌입전류 방지회로에서도 저항기(R1)를 사용하여 전원 인가시의 캐패시터에 흐르는 돌입전류를 방지한 다음 상기 저항기(R1)를 단락시키기 위하여 제1스위칭 소자로서 SCR을 사용한다. 이 SCR의 캐소드와 게이트 사이에는 제2저항기 R2를 병렬 접속하고, 애노드와 캐소드 사이에는 병렬로 제2스위칭 소자인 포토커플러를 접속하고 이 포토커플러의 트랜지스터 출력단에 제3저항기를 직렬로 접속시켜 접속한다. 이때 포토커플러의 입력단인 발광다이오드는 제1정전압 소자인 제너다이오드 및 제4저항기 R4와 직렬로 접속한 다음 그 양쪽 끝단을 캐패시터(C)와 병렬로 접속하여 캐패시터 양단의 전압 V_C 의 변화에 따라 상기 포토커플러가 온/오프될 수 있도록 한다. 그리고 제2저항기 양단에는 제2정전압 소자인 제너 다이오드를 병렬 접속하여 SCR의 게이트 단자를 보호할 수 있도록 한다.

이와 같이 구성된 캐패시터 돌입전류 방지회로는 다음과 같이 동작한다.

전원 스위치가 온되면 단상 또는 3상의 전원 전압이 정류기에서 정류되어 대용량의 평활 캐패시터(C)에 인가될 경우 그 초기에는 많은 돌입전류가 흐르게 되는데, 이 초기 돌입전류는 제1저항기(R1)를 통하여 캐패시터를 충전시키므로 캐패시터 전압 V_C 는 서서히 상승하게 된다. 이 상승 전압 V_C 에 의해 제1정전압 소자인 제1제너다이오드가 도통되면 이와 직렬 접속된 상기 포토커플러의 발광다이오드에 전류가 흘러 발광을 하게되고 따라서 이 포토커플러의 출력단의 트랜지스터는 턴온된다. 포토커플러가 턴온되면 제2저항기 R2와 제3저항기 R3와의 분압에 의해 SCR의 게이트에 트리거 전압이 인가되므로 SCR은 도통된다.

따라서 제1저항기 R1은 단락된다.

그러나 전원 초기온시에는 V_c 의 전압 레벨이 낮으므로 제1제너다이오드에 의해 전류가 차단되므로 포토커플러는 턴온되지 않는다. 따라서 제1스위칭 소자인 SCR도 오프 상태이므로 제1저항기를 통하여 전류가 흐르게 되므로 초기 돌입전류가 억제된다.

여기서 중요한 점은 캐패시터에 충전되는 최대 V_c 전압의 90%가 충전될 때 제1정전압 다이오드가 통전되도록 하여 두면 이때 제1저항기가 단락된다.

제10도는 본 고안에 따른 제5의 캐패시터 돌입 전류 방지 회로의 회로도이다. 이 제5실시예는 제9도의 제4실시예에서 제1스위칭 소자로서 사용되는 SCR을 IGBT로 교체한 점만 다를 뿐 모든 동작은 제4실시예와 같다.

제11도는 본 고안에 따른 제6의 캐패시터 돌입 전류 방지 회로의 회로도이다. 이 제6실시예는 제9도의 제4실시예에서 제1스위칭 소자로서 사용되는 SCR을 바이폴라 트랜지스터(bipolar transistor)로 교체한 점만 다를 뿐 모든 동작은 제1 실시예와 같다. 단, 여기서는 제2정전압 소자를 사용할 필요가 없게된다(B-E 간의 순방향 다이오드의 역할 때문).

이상 설명한 바와 같이, 본 고안에 따른 캐패시터 돌입전류 방지회로는 부피가 큰 릴레이, 지연 타이머 및 전압 검출기 등을 사용하는 대신에 TR, IGBT, SCR 등의 반도체 소자를 이용하여 저항기 전압 또는 캐패시터 전압에 의해 자동으로 캐패시터 돌입 전류가 제어되게 하는 회로를 구성함으로써, 부피가 작고, 수명이 길며, 회로가 간단한 동시에 생산 경비가 절감되는 효과가 있다.

(57) 청구의 범위

청구항 1

정류 수단과 평활용의 캐패시터 및 이 정류 수단과 캐패시터의 사이에 상기 캐패시터와 직렬로 접속된 제1저항기를 구비한 캐패시터 돌입전류 방지회로에 있어서, 상기 제1저항기와 병렬로 접속된 반도체 제1스위칭 수단과, 서로 직렬로 접속되어 상기 제1스위칭 수단이 온되도록 구동시켜 주는 바이어스 전압을 상기 제1저항기의 양단 전압을 분압하여 제공하는 제2스위칭 수단 및 제2저항기와, 서로 직렬로 접속되어 상기 제2스위칭 수단이 온되도록 구동시켜 주는 바이어스 전압을 상기 제1저항기의 양단 전압을 분압하여 제공하는 제1정전압 수단 및 제3저항기를 구비하여 된 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 2

제1항에 있어서, 상기 제1스위칭 수단의 바이어스 단과 병렬로 접속되어 상기 제1스위칭 수단의 바이어스용 게이트 단자를 보호하여 주는 제2정전압 수단이 더 접속된 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 3

제1항에 있어서, 상기 제1스위칭 수단은 SCR로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 4

제1항에 있어서, 상기 제1스위칭 수단은 IGBT로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 5

제1항에 있어서, 상기 제1스위칭 수단은 바이폴라 트랜지스터로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 6

제1항에 있어서, 상기 제1정전압 수단은 제너 다이오드로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 7

제2항에 있어서, 상기 제2정전압 수단은 제너 다이오드로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 8

제1항에 있어서, 상기 제2스위칭 수단은 SCR, IGBT 및 바이폴라 트랜지스터 중 어느 한 소자로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 9

정류 수단과 평활용의 캐패시터 및 이 정류 수단과 캐패시터의 사이에 상기 캐패시터와 직렬로 접속된 제1저항기를 구비한 캐패시터 돌입전류 방지회로에 있어서, 상기 제1저항기와 병렬로 접속된 제1스위칭 수단과, 서로 직렬로 접속되어 상기 제1스위칭 수단이 온되도록 구동시켜 주는 바이어스 전압을 상기 제1저항기의 양단 전압을 분압하여 제공하는 제2저항기 및 서로 직렬로 접속된 포토커플러와 제3저항기와,

상기 포토커플러의 발광 다이오드단과 직렬로 접속되어 상기 캐패시터 양단 전압이 소정의 레벨 이상으로 되면 동작하여 상기 포토커플러를 구동시켜 주는 제1정전압 수단을 구비하여 된 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 10

제9항에 있어서, 상기 제1스위칭 수단의 바이어스단과 병렬로 접속된 상기 제2저항기와 병렬로 접속되어 상기 제1스위칭 수단의 바이어스용 게이트 단자를 보호하여 주는 제2정전압 수단이 더 접속된 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 11

제9항에 있어서, 상기 제1스위칭 수단은 SCR로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 12

제9항에 있어서, 상기 제1스위칭 수단은 IGBT로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 13

제9항에 있어서, 상기 제1스위칭 수단은 바이폴라 트랜지스터로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 14

제9항에 있어서, 상기 제1정전압 수단은 제너 다이오드로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 15

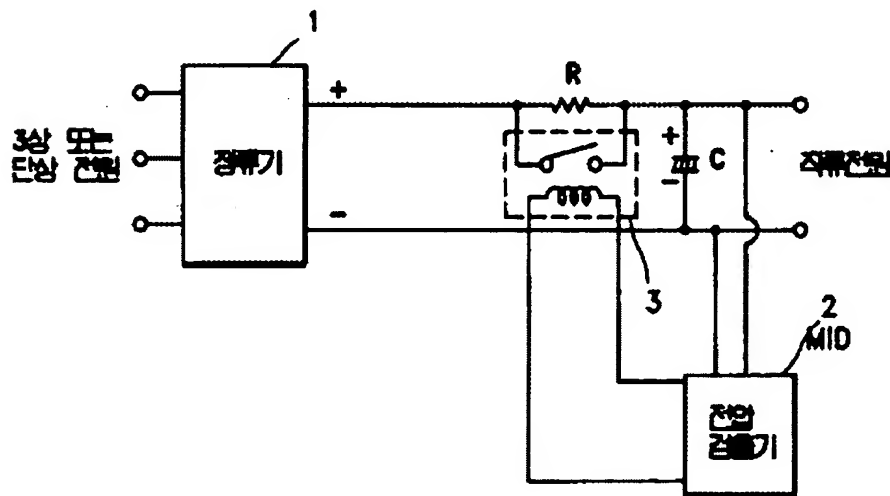
제10항에 있어서, 상기 제2정전압 수단은 제너 다이오드로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

청구항 16

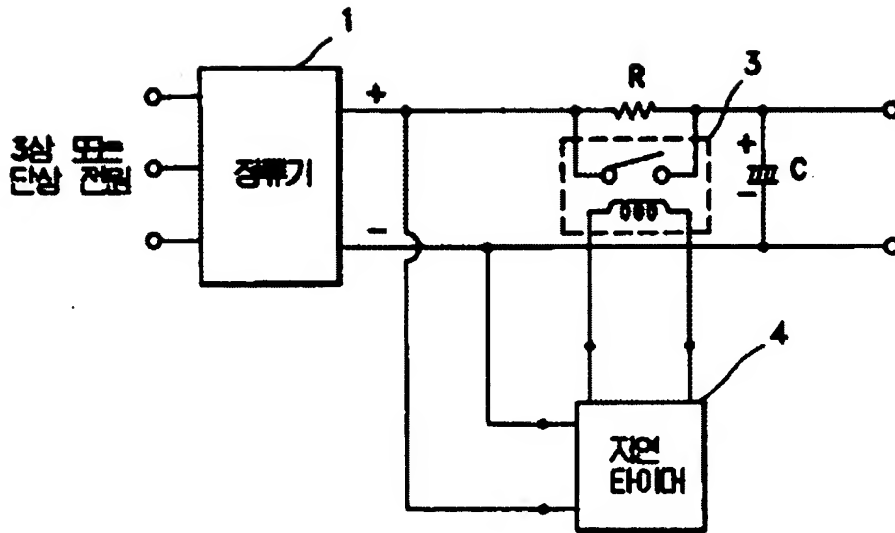
제9항에 있어서, 상기 제2스위칭 수단은 SCR, IGBT 및 바이폴라 트랜지스터 중 어느 한 소자로 이루어진 것을 특징으로 하는 캐패시터 돌입전류 방지 회로.

도면

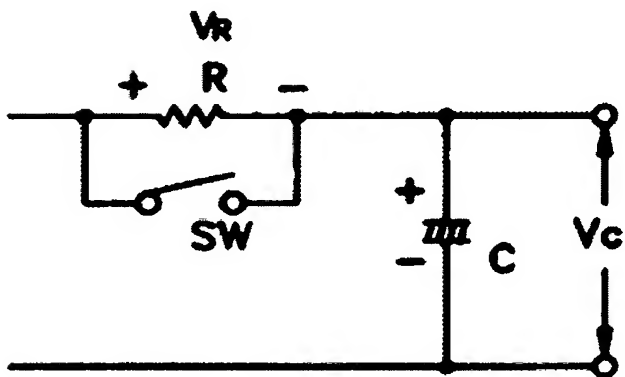
도면1



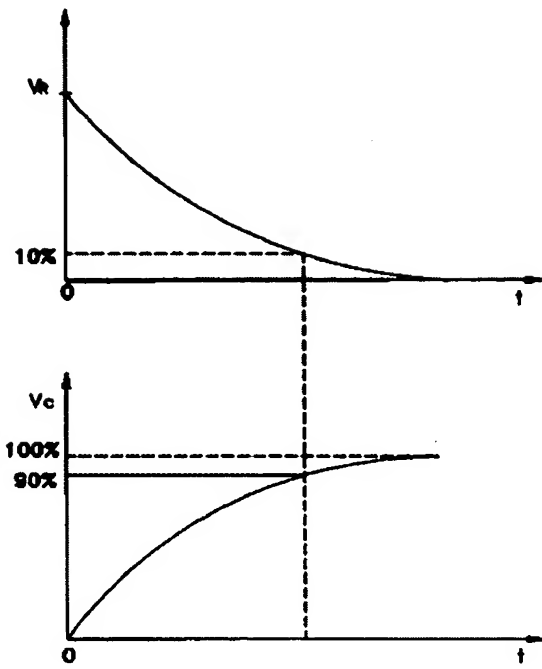
도면2



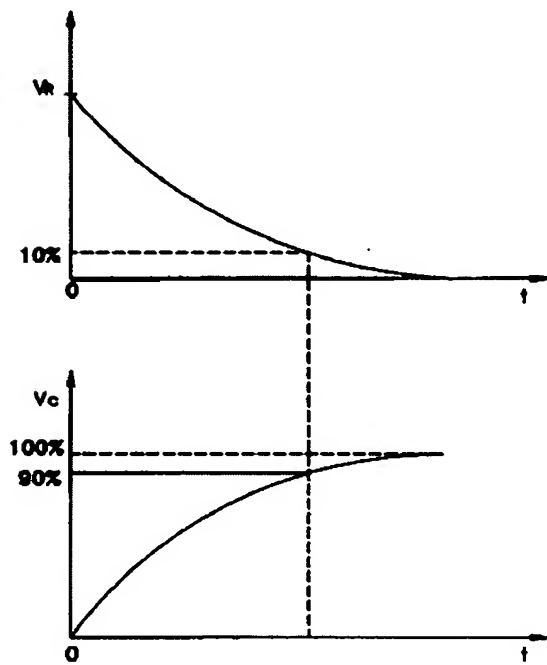
도면3



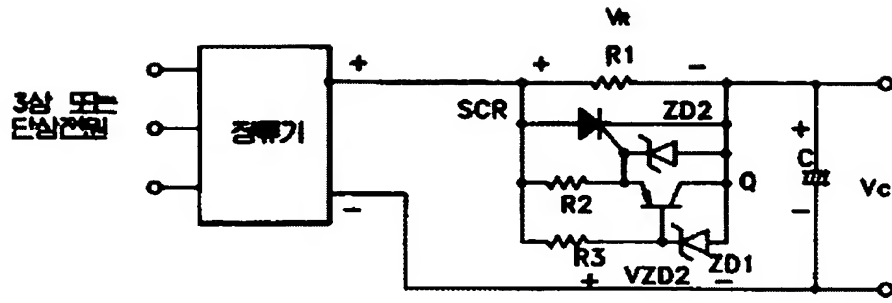
도면4



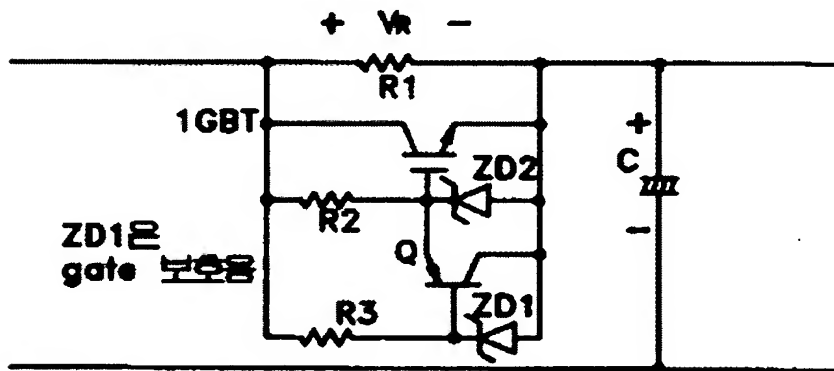
도면5



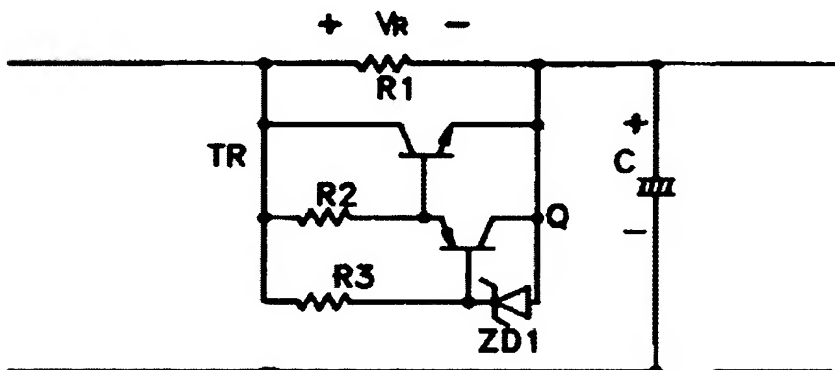
도면6



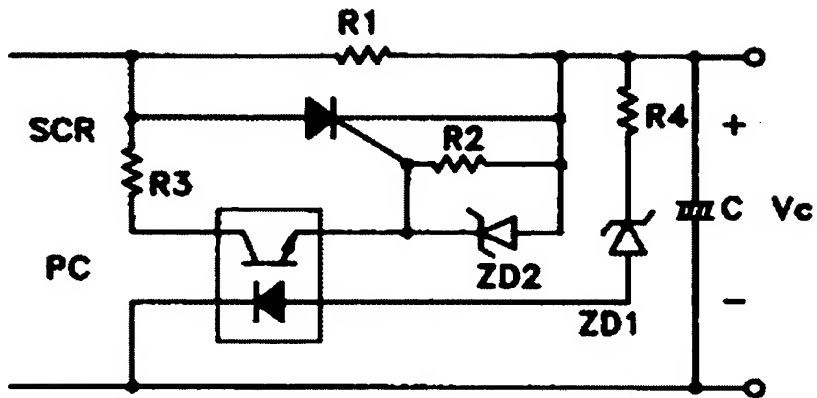
도면7



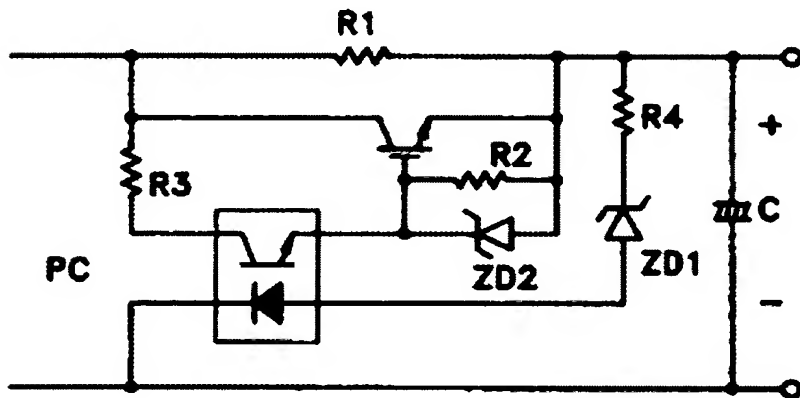
도면8



도면9



도면10



도면11

